

Please Click here to view the drawing

Korean FullDoc. English Fulltext

(19)  KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100197560 B1
 (43)Date of publication of application: 24.02.1999

(21)Application number: 1019950053529
 (22)Date of filing: 21.12.1995

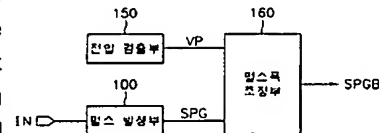
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: KIM, JAE CHEOL
 SEO, YEONG HO

(51)Int. Cl. G11C 11/407

(54) PULSE GENERATING CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A pulse generating circuit of a semiconductor memory device is provided to adjust a pulse width of an output pulse due to several causes according as a power source voltage applied to the memory device varies. **CONSTITUTION:** A pulse generating circuit comprises: a pulse generating part(100) to generate a pulse having a predetermined width in response to a transition of an inputted signal; a voltage detecting part(150) outputting a detection control signal by detecting the variation of the power source voltage applied to the memory device; and a pulse width adjusting part (160) adjusting the width of the pulse in response to the detection control signal of the voltage detecting part. The pulse width adjusting part can increase or decrease the width of the pulse according to the logic level of the detection control signal. The pulse generating circuit can apply the adjusted output pulse to a predecoder of the memory device or to a decoder directly.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19951221)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (19990127)
 Patent registration number (1001975600000)
 Date of registration (19990224)

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
G11C 11/407(11) 공개번호 특1997-0051215
(43) 공개일자 1997년07월29일(21) 출원번호 특1995-0053529
(22) 출원일자 1995년12월21일(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지(우:441-742)
(72) 발명자 서영호
경기도 수원시 권선구 구운동 462
김재철
서울특별시 도봉구 방학동 신동아아파트 9동 610호
(74) 대리인 이건주
심사청구 : 있음

(54) 반도체 메모리 장치의 펄스발생 회로

요약

1. 청구범위에 기재된 발명이 속한 기술분야

반도체 메모리 장치의 펄스발생 회로.

2. 발명이 해결하려고 하는 기술적 과제

반도체 메모리 장치에 제공되는 전원전압이 여러가지 요인에 의해 변동시 출력되는 펄스의 폭을 그에 따라 적응적으로 조정할 수 있는 펄스발생 회로를 제공함에 있다.

3. 발명의 해결방법의 요지

반도체 메모리 장치의 개선된 펄스발생 회로는 입력되는 신호의 천이에 응답하여 미리 설정된 폭을 가지는 펄스를 발생하기 위한 펄스 발생부와; 상기 반도체 메모리 장치에 인가되는 전원 전압의 변동을 검출하여 검출 제어신호를 출력하는 전압 검출부와; 상기 전압 검출부의 상기 검출 제어신호에 응답하여 상기 펄스의 폭을 조정하여 출력하는 펄스폭 조정부를 가짐을 특징으로 한다.

4. 발명의 중요한 용도

반도체 메모리의 펄스 발생 회로로서 사용된다.

대표도

도5

명세서

[발명의 명칭]

반도체 메모리 장치의 펄스발생 회로

[도면의 간단한 설명]

제5도는 본 발명의 펄스발생 회로의 블록도

제6도는 제5도에 따른 일 실시예의 회로도

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57)청구의 범위

청구항1

반도체 메모리 장치의 펄스발생 회로에 있어서; 입력되는 신호의 천이에 응답하여 미리 설정된 폭을 가지는 펄스를 발생하기 위한 펄스 발생부와; 상기 반도체 메모리 장치에 인가되는 전원 전압의 변동을 검출하여 검출 제어신호를 출력하는 전압 검출부와; 상기 전압 검출부의 상기 검출 제어신호에 응답하여 상기 펄스의 폭을 조정하여 출력하는 펄스폭 조정부를 포함함을 특징으로 하는 펄스발생 회로.

청구항2

제1항에 있어서, 상기 펄스폭 조정부는 상기 검출 제어신호의 논리 레벨에 따라 상기 펄스의 폭을 크게 또는 그대로 하여 출력하는 것을 특징으로 하는 펄스 발생 회로.

청구항3

제1항에 있어서, 상기 펄스폭 조정부는 상기 검출 제어신호의 논리 레벨에 따라 상기 펄스의 폭을 작게 또는 그대로 하여 출력하는 것을 특징으로 하는 펄스발생 회로.

청구항4

제1항에 있어서, 상기 펄스 발생 회로는 상기 조정 출력되는 출력 펄스를 상기 반도체 메모리 장치의 프리디코더에 인가함을 특징으로 하는 펄스발생 회로.

청구항5

제1항에 있어서, 상기 펄스 발생회로는 상기 조정 출력되는 출력 펄스를 상기 반도체 메모리 장치의 디코더에 인가함을 특징으로 하는 펄스발생 회로.

청구항6

반도체 메모리 장치의 펄스발생 회로에 있어서; 입력되는 어드레스 신호 또는 라이트 인에이블 신호의 천이에 응답하여 미리 설정된 폭을 가지는 펄스를 발생하기 위한 펄스 발생부와; 상기 반도체 메모리 장치에 인가되는 전원전압의 변동을 검출하여 검출 제어신호를 출력하는 전압 검출부와; 상기 전압 검출부의 상기 검출 제어신호에 응답하여 상기 펄스의 폭을 조정하여 출력하는 펄스폭 조정부를 포함함을 특징으로 하는 펄스 발생 회로.

청구항7

제6항에 있어서, 상기 펄스 발생부는, 상기 어드레스 신호 또는 라이트 인에이블 신호를 소정시간동안 지연하기 위한 제1지연기와 상기 제1지연기의 출력과 상기 어드레스 신호 또는 라이트 인에이블 신호를 낸드게이팅하여 출력하는 제1낸드 게이트로 구성된 상기 펄스 생성부와, 상기 펄스 생성부의 출력펄스를 소정시간 동안 지연하기 위한 제2지연기와 상기 제2지연기의 출력과 상기 출력펄스를 낸드 게이팅하여 출력하는 제2낸드게이트로 구성된 펄스 확장부로 이루어짐을 특징으로 하는 펄스발생 회로.

청구항8

제7항에 있어서, 상기 제1지연기는 상기 어드레스 신호 또는 라이트 인에이블 신호를 소정시간동안 지연 출력시 상기 신호의 논리를 반전시키는 지연기임을 특징으로 하는 펄스 발생회로.

청구항9

제8항에 있어서, 상기 제2지연기는 상기 펄스 생성부의 출력펄스를 소정시간동안 지연출력시 상기 출력펄스의 논리를 그대로 하여 출력하는 지연기임을 특징으로 하는 펄스발생 회로.

청구항10

제7항에 있어서, 상기 전압 검출부는, 상기 전원 전압의 변동이 설정된 기준전압 이상으로 되는 경우에 상기 검출 제어신호를 하이레벨로 출력하기 위해, 상기 전위전압에 소오스가 각각 연결된 제1, 2, 3피모오스 트랜지스터와, 상기 제1, 2피모오스 트랜지스터의 드레인에 드레인이 각각 연결된 제1,2엔모오스 트랜지스터와, 상기 제1,2엔모오스 트랜지스터의 공통 소오스에 드레인이 연결되고 소오스가 접지에 접속되고 게이트가 상기 제1엔모오스 트랜지스터의 게이트와 함께 연결되어 설정된 상기 기준전압을 수신하는 제3엔모오스 트랜지스터와, 상기 제3피모오스 트랜지스터의 드레인과 접지간에 소오스 드레인 채널이 직렬로 연결되고 각기 게이트와 드레인이 공통연결된 제4, 5피모오스 트랜지스터와, 상기 제5피모오스 트랜지스터의 게이트-드레인 연결점에 접속된 상기 제2엔모오스 트랜지스터의 게이트와 접지간에 접속된 저항과, 입력단이 상기 제1피모오스 트랜지스터의 드레인과 상기 제3피모오스 트랜지스터의 게이트에 공통 연결된 제1인버터와, 상기 제1인버터의 출력에 입력단이 연결된 제2인버터로 구성됨을 특징으로 하는 펄스발생 회로.

청구항11

제7항에 있어서,상기 전압 검출부는, 상기 전원 전압의 변동이 설정된 기준전압 이하로 되는 경우에 상기 검출 제어신호를 하이레벨로 출력하기 위해, 상기 전원전압에 소오스가 각기 연결된 제1, 2, 3피모오스 트랜지스터와, 상기 제1, 2피모오스 트랜지스터의 드

레인에 드레인인 각기 연결된 제1, 2엔모오스 트랜지스터와, 상기 제1, 2엔모오스 트랜지스터의 공통 소오스에 드레인이 연결되고 소오스가 접지에 접속되고 게이트가 상기 제1엔모오스 트랜지스터의 게이트와 함께 연결되어 설정된 상기 기준전압을 수신하는 제3엔모오스 트랜지스터와, 상기 제3피모오스 트랜지스터의 드레인과 접지간에 소오스 드레인 채널이 직렬로 연결되고 각기 게이트와 드레인이 공통연결된 제4, 5피모오스 트랜지스터와, 상기 제5피모오스 트랜지스터의 게이트-드레인 연결점에 접속된 상기 제2엔모오스 트랜지스터의 게이트와 접지간에 접속된 저항과, 입력단이 상기 제1피모오스 트랜지스터의 드레인과 상기 제3피모오스 트랜지스터의 게이트에 공통 연결된 제1인버터로 구성됨을 특징으로 하는 펄스발생 회로.

청구항12

제10항에 있어서, 상기 펄스폭 조정부는 상기 펄스 확장부로부터 출력되는 펄스를 소정시간동안 지연하는 지연기와, 상기 지연기의 출력에 연결된 스위치와, 상기 검출 제어신호를 수신하여 상기 스위치를 스위칭하는 신호를 발생하는 스위칭 신호 발생부와, 상기 스위치의 출력단에 일측입력이 연결되고 타측입력으로 상기 펄스를 수신하는 낸드 게이트를 가짐에 의해 상기 지연기로부터 지연된 펄스가 상기 스위치를 통과시 상기 펄스의 폭이 상기 지연된 펄스의 폭만큼 크게 되게 하고 미통과시 상기 수신된 펄스가 그대로 출력되게 함을 특징으로 하는 펄스 발생 회로.

청구항13

제11항에 있어서, 상기 펄스폭 조정부는 상기 펄스 확장부로부터 출력되는 펄스를 소정시간동안 지연하는 지연기와, 상기 지연기의 출력에 연결된 스위치와, 상기 검출 제어신호를 수신하여 상기 스위치를 스위칭하는 신호를 발생하는 스위칭 신호 발생부와, 상기 스위치의 출력단에 일측입력이 연결되고 타측입력으로 상기 펄스를 수신하는 낸드 게이트를 가짐에 의해 상기 지연기로부터 지연된 펄스가 상기 스위치를 통과시 상기 펄스의 폭이 상기 지연된 펄스의 폭만큼 작게 되게 하고 미통과시 상기 수신된 펄스가 그대로 출력되게 함을 특징으로 하는 펄스발생 회로.

청구항14

제11항에 있어서, 상기 펄스폭 조정부는 상기 펄스 확장부로부터 출력되는 소정시간동안 지연하는 지연기와, 상기 지연기의 출력에 연결된 스위치와, 상기 검출 제어신호를 수신하여 상기 스위치를 스위칭하는 신호를 발생하는 스위칭 신호 발생부와, 상기 스위치의 출력단에 제1입력이 연결되고 제2입력으로 상기 지연기의 중간 지연점에 연결되고 제3입력으로 상기 펄스를 수신하는 3입력 낸드 게이트를 가짐에 의해 상기 지연기로부터 지연된 펄스가 상기 스위치를 통과시 상기 펄스의 폭이 상기 각기 지연된 펄스의 폭들의 합만큼 작게 되게 하고 미통과시 상기 수신된 펄스의 폭이 상기 지연된 펄스의 폭만큼 작게 되게 함을 특징으로 하는 펄스발생 회로.

청구항15

제11항에 있어서, 상기 펄스폭 조정부는 상기 펄스 확장부로부터 출력되는 펄스를 소정시간동안 지연하는 지연기와, 상기 지연기의 출력에 연결된 스위치와, 상기 검출 제어신호를 수신하여 상기 스위치를 스위칭하는 신호를 발생하는 스위칭 신호 발생부와, 상기 스위치의 출력단에 제1입력이 연결되고 제2입력으로 상기 지연기의 중간 지연점에 연결되고 제3입력으로 상기 펄스를 수신하는 제3입력 낸드 게이트를 가짐에 의해 상기 지연기로부터 지연된 펄스가 상기 스위치를 통과시 상기 펄스의 폭이 상기 각기 지연된 펄스의 폭들의 합만큼 크게 되게 하고 미통과시 상기 수신된 펄스의 폭이 상기 지연된 펄스의 폭만큼 크게 되게 함을 특징으로 하는 펄스발생 회로.

청구항16

제15항에 있어서, 상기 펄스발생 회로의 출력신호는 상기 반도체 메모리 장치의 라이트 리커버리시 메모리 셀의 워드라인 전압을 소정시간동안 더 유지시키기 위해 사용됨을 특징으로 하는 펄스발생 회로.

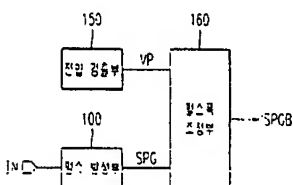
청구항17

반도체 메모리 장치의 펄스발생 방법에 있어서; 입력되는 어드레스 신호 또는 라이트 인에이블 신호의 천이에 대응하여 미리 설정된 폭을 가지는 펄스를 발생하는 단계와; 상기 반도체 메모리 장치에 인가되는 전원 전압의 변동을 검출하여 검출 제어신호를 생성하는 단계와; 상기 검출 제어신호에 따라 상기 펄스의 폭을 증감조정하여 출력하는 단계를 가짐을 특징으로 하는 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면5



도면6

